

The Design of 128 Channels Cardiac-Activation Pre-Amplifier

俞善國* · 張炳喆** · 鄭東一*** · 韓榮吾§

(Sun_Kook Yoo · Byung-Chul Chang · Dong-Il Jung · Young-Oh Han)

Abstract - The computerized cardiac analysis system, which acquires and analyzes the electrical activation signal propagating along the surface of the heart, is indispensable equipment for the open heart surgery and electrical cardiac study. In this paper, the design requirement and the electrical circuit analysis are performed to construct the multi-channel cardiac activation pre-amplifier necessary for a signal conditioning circuit. The general 64 channel configuration is expanded into 128 channels to enhance the spatial resolution on the mapped surface of the heart. The 128 channels pre-amplifier consists of input circuit, differential amplifier, right leg driven circuit and isolation part. It has distinct features; high voltage protection, leakage current limitation, isolation and the maximization of common mode rejection ratio with respect to the half-cell potential difference due to different electrode materials. The final pre-amplifier circuit is assembled with 8 boards, each of which composing of 16 channels.

Key Words : computerized cardiac system, multi-channel pre-amplifier

1. 서 론

심전도는 심장 폐색(occlusion), 심근 경색, 심장 부정맥 등의 심장 질환을 판단하는데 가장 중요한 수단으로 쓰인다. 심장부정맥의 기전을 연구하기 위하여 20세기 초부터 동물심장에서의 전기생리에 대한 연구가 진행되어 왔다. 1914년 Lewis등은 심방에서의 전기전파를 연구하고자 동물심장을 노출시키고 이 심장의 심외막에 몇 개의 전극을 부착하여 전기전파에 소요되는 시간을 측정함으로써 심장조동(atrial flutter) 및 심방세동(atrial fibrillation)의 기전을 규명하고자 많은 노력을 하였다. 그 후 여러 학자들이 심장에서의 전기전파를 연구하고, 심장부정맥의 기전을 연구하여 왔으나, 1970년대까지는 그 연구방법이 몇 개의 전극을 심장에 부착하거나, 한 개의 전극을 이곳 저곳으로 옮겨가면서 전기신호를 받아 분석하여 각 조직으로 전기가 전파되는데 소요되는 시간을 측정하였기 때문에 불안정한 일과성 심장부정맥의 기전을 연구하는데는 충분치 못하였다[8].

1970년대에 들어와 컴퓨터 산업의 발달과 함께 심장전기도 검사에도 컴퓨터가 이용되기 시작하였다. 1978년 Boineau 등

은 FM 테이프 기록장치에 전기신호를 기록하고 이 신호를 컴퓨터를 이용하여 분석함으로써 동방결절에서 발생하는 전기는 다중심성인 것으로 보고하여 주목을 받았다. 그 후 Alessie, Witkowski 등과 Kramer 등도 미니 컴퓨터를 이용한 심장전기도 시스템을 개발하여 심장의 전기전파 경로를 정확하게 알 수 있도록 하였고, 여러 가지 심장부정맥의 자세한 기전을 연구하고 이에 대한 치료를 모색하며, 외과적 치료의 경과를 향상시켜 왔다[7][9].

심장부정맥의 기전 연구 및 Wolff-Parkinson-White증후군의 환자에게서 나타나는 방실 회귀성 빈맥을 수술할 경우에는 짧은 시간(최소 1m/sec)내에 일어나는 심장전기전파 신호를 심장의 각 부위로부터 획득하여 종합적으로 분석하는 시스템이 필수적이다. 이를 위하여 Grimbergen등에 의한 ECG 증폭기가 있으나 이는 채널의 수가 64개뿐이고 전치증폭기가 건전지로 동작하기 때문에 쓸 수 있는 전력의 제한이 크며 장시간 동안의 환자 감시에는 적당하지 않다 [5][9][10].

따라서 본 논문에서는 심장 전기도의 측정을 위하여 채널 수를 64개에서 128개로 확장한 다중 채널 심장 전기도 증폭기의 설계 조건과 설계방법을 기술하고자 한다. 설계된 회로는 컴퓨터와 연결된 3차원 심장 전기도 시스템(Cardiac Activation System) 및 흉곽에서 측정하는 표면 전위 분포 시스템(Body Potential Mapping System)을 위한 고효율, 저잡음, 아날로그 증폭기 회로로 설계하였다. 또한 전기 수술기(Electrosurgical Unit; ESU)가 사용되는 환경에서도 최단시간 내에 기저선을 회복하도록 설계하였다.

* 正 會 員 : 延世大 醫學工學 教室 助教授 · 工博

** 準 會 員 : 延世大 胸部外科學 教室 教授 · 醫博

*** 準 會 員 : 삼성전자 반도체 연구원

§ 準 會 員 : 남서울大學 電子情報通信 學部 助教授 · 工博

接受日字 : 2001年 8月 29日

最終完了 : 2001年 10月 15日

2. 심장전기도 증폭기의 설계 조건

2.1 심장 전기도 증폭기 설계조건

2.1.1 시스템 이득

흉곽표면 측정시스템의 심전도 입력 신호의 크기는 최소 25 μV 에서 10 mV의 크기를 갖으며, 심표면 시스템의 크기는 1 mV에서 100 mV 신호 범위에 있으므로 심장 전기도 시스템의 입력 신호의 범위는 25 μV 에서 100 mV의 신호 이득 조정이 가능하도록 설계한다. A/D 변환기의 입력 전압 범위 (10 Vp-p), 12 비트 분해능과 심전도 첨두값의 10 샘플 이상의 양자화 조건을 고려하여 최소이득 X 100, 최대 이득은 X 800 이상의 이득을 갖도록 설계한다.

표 1. 심장 전기도 증폭기 설계조건

Table 1. Design conditions for Cardiac activation amplifier

Resolution	12 bits 이상
Sampling Ratio	1 KHz 이상
Mode	Monopolar/Bipolar/Calibration
Isolation	Signal/Control/Power
Safety	최대 10 μA 누설전류, 50 μA 고장전류
Protection	심장제세동기
Input Impedance	100 M Ω 이상
CMRR	94 dB 이상
Gain Control	X100, X200, X400, X800

2.1.2 전치 증폭기

M.A.Allessie [7]등은 단일 측정방법을 사용하여 심장전기도의 정상상태 신호를 측정하였으며, A.C.Metting van Rijn [4]은 흉곽표면 시스템의 측정을 위하여 Wilson's Central Terminal[1]에 의한 단일 측정법을 적용하였다. Chang[8] 및 Witkowski[9]의 논문에서는 심장전기도 시스템에서 양극 측정법을 사용하여 심장 전기도 신호의 전파 상태를 측정하였다. 그러므로 전치 증폭기의 입력단은 임상측정 상태에 따라 단일/양극 측정을 선택적으로 사용할 수 있도록 설계한다.

또한 전치증폭기에서 심장 전기도 신호를 측정하기 위한 요구조건은 Bonneau가 제시한 최소 조건을 만족하도록 한다 [10]. 전치증폭기의 CMRR(Common Mode Rejection Ratio)은 94B 이상이 되도록 하며, 입력저항값(Input Impedance)은 100 M Ω 이상이 되도록 한다.

수술시 사용하게 되는 삼상제세동기 및 전기수술기에 의한 수 Kv에 달하는 높은 과전압에 대한 입력단의 보호회로를 첨가하여 회로를 보호하도록 하며, 128 채널에 대한 고장유무 및 채널간 이득차를 조정(calibration)을 하기 위한 조정기를 선택할 수 있도록 한다.

2.1.3 잡음 보호 회로

다중채널 증폭기의 입력단은 128개의 전극선을 갖는다. 따라서 채널간의 부유용량 및 60 Hz전력선에 의한 유도 전류

는 심장 전기도 신호에 대한 잡음이 된다. 잡음의 양을 줄이기 위하여 전극선은 능동 실드를 하며, 60Hz 잡음에 대한 영향을 최소화 하기 위하여 오른다리구동(RLD: Right Leg Driven) 회로[6]에 의한 접지 전극을 능동 구동한다.

2.1.4 안전회로

심장수술에 사용하게 되는 심장전기도 시스템의 운용은 환자에 대한 Microshock에 대한 보호회로를 구성한다. 컴포넌트 고장에 대하여 최소한의 안전을 고려하기 위하여 최종의 안전회로의 구성은 저항을 사용한 수동소자로 구성하여 안전도를 확보한다.(AAMI규정에서의 입력버퍼 고장 전류의 제한은 50 μA 이다) [1]. RLD 증폭기의 최대전류 공급능력으로 전류를 제한하며 전치 증폭기와 주증폭기 사이의 모든 신호의 전달 및 전원의 전달은 분리하여 전류위험을 최소화한다.

3. 심장전기도 전치 증폭기의 해석

3.1 심장전기도 신호측정

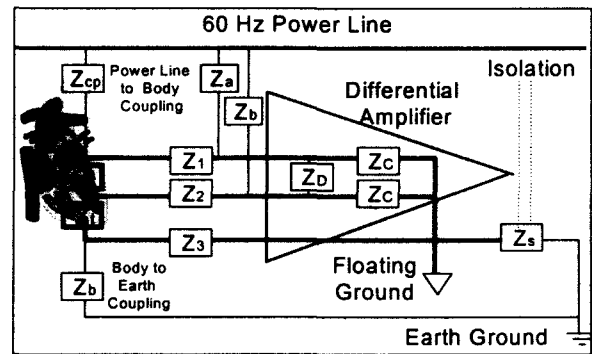


그림 1. 심장전기도 증폭기 블록도

Fig. 1 Block diagram of the cardiac activation amplifier

3.1.1 반전위 전극

인체조직과 전극과의 접촉은 반전위(half-cell potential)를 형성하며, 직류 잡음성분으로 작용한다. 그림 1.의 임피던스 성분 Z_1 , Z_2 , Z_3 는 양극 단일 채널 데이터를 측정하기 위하여 사용한 전극의 임피던스이다. 다중 채널 데이터를 측정하기 위해서는 채널간의 전극의 종류에 따라 반전위 차이가 나며, 입력단에서의 DC성분을 제거하지 못하면 높은 이득에 따라 전단 증폭기는 포화된다. 그러므로 실제적으로 사용되는 전극의 종류에 따른 오차는 최소 0.22 V에서 최대 0.86V의 전압차 [1]에 의한 차동이득의 차이 0.44 V에 따른 포화를 방지하여야 한다. 따라서 ± 12 V의 전압을 사용하는 전치 증폭단에서의 포화를 방지하기 위한 최대 이득은 약 25 배이다.

3.1.2 공통전압 잡음

그림 1.에서와 같이 심장은 전원 라인과 인체사이의 정전 결합에 의한 Z_{cp} , 인체와 대지 접지 사이의 용량성 임피던스 Z_b 값을 갖는다. 전원선 전압의 크기를 E 라 할때 인체에 유

기되는 유도전류 $i_d = \frac{E}{Z_{cp}}$ 값을 갖는다. 따라서 유도전압의 크기는 식(1)과 같다.

$$V_c \cong i_d \frac{Z_b}{Z_b + Z_s} \quad (1)$$

전치증폭기의 입력임피던스를 Z_c , 공통 임피던스를 Z_D , 인체 피부 저항 값을 Z_i 라 하였을 경우, 전치 증폭기에 야기되는 전압은 유도전류에 대한 $i_d Z_i$ 값과 공통잡음 전압값 V_c 에 의한 Z_D 에서의 전압강하 값의 합으로 주어진다. 공통잡음 전압값 V_c 의 Z_D 에서의 등가 대브난 전압과 저항 값은 식 (2)와 같다 [4].

$$V_{TH} = \frac{Z_c V_c}{Z_2 + Z_c} - \frac{Z_i + Z_1}{Z_i + Z_1 + Z_c} V_c \quad (2)$$

$$R_{TH} = Z_2 + Z_1 + Z_i$$

따라서 Z_D 에서의 유도된 공통전압값은 다음과 같다.

$$V_D \cong i_d \left(Z_i + \frac{Z_b Z_3}{Z_b + Z_s} \frac{Z_2 - Z_1 + Z_i}{Z_c} \right) \quad (3)$$

식(1)과 (3)에서 ($Z_2 - Z_1$), Z_i , Z_b , Z_{cp} 은 변화 시킬수 없는 고정된 값이다. 그러므로 회로의 설계시 공통선 유도 잡음을 제거하는 방법은 안전 저항값의 합으로 표시되는 Z_3 의 값을 낮추거나 전치 증폭기의 입력 임피던스 값 Z_c 가 높은 값을 갖는 전치 증폭기로 설계한다. 또한 안전 전류를 10 μA 로 제한할 경우를 고려하여 무조건 낮출수가 없는 Z_3 대신 오른다리구동회로(RLD: right leg driven circuit)를 첨가하여 임피던스를 낮춘다.

3.1.3 입력전극선 잡음

전극간 임피던스 불균일이 증가하면 유도되는 공통선 잡음이 증가한다. 그림 1.에서와 같이 용량성 결합양을 Z_a , Z_b , 변위전류를 i_a , i_b 라 하면, 전극의 임피던스 불균형에 의한 전원선 잡음 전압의 크기는 식 (4)와 같다.

$$V_{diff} = i_a Z_a - i_b Z_b = i Z_e \left(\frac{\Delta Z_e}{Z_e} + \frac{\Delta i}{i} \right) \quad (4)$$

$$i = \frac{1}{2} (i_a + i_b)$$

$$Z_e = \frac{1}{2} (Z_1 + Z_2)$$

식 (4)에서 전극선 잡음을 줄이기 위해서는 전극간의 임피던스 불균형을 최소화하거나, 실드를 사용하여 용량성 결합량을 최소화한다. 분리접지를 실드선에 접속하는 기존의 일반적인 실드 방법은 케이블 내로 흐르는 유도전류의 크기를 감소시킬 수 있다. 그러나 다중채널의 경우 실드된 케이블 수의 증가는 케이블 수에 비례하여 C_{shield} 의 값이 커지게 되며, 이는 전단 증폭기의 입력임피던스 값을 낮추게 되며, 이는 전체적인 심장 전기도 증폭기의 CMRR을 낮춘다. 또한 C_{shield} 의 값의 증가는 RLD회로의 불안정 원인이다. 따라서 C_{shield} 와 분리접지와 대지 접지의 결합 커패시턴스 $C_{isolation}$ 의 결합에 의하여 유도된 잡음 신호를 신호선에서 검출하여 이를 능동적으로 구동하여 용량성 커패시턴스를 낮추는 능동실드 방법을 그림 2.과 같이 적용한다.

3.1.4 RLD 회로

60 Hz 전원라인간 정전결합에 의한 Z_{cp} 및 인체와 대지 접

지 사이의 Z_b 값은 회로에 의하여 감소시킬 수 없다. Winter [6] 등에 의하여 제한된 RLD회로를 주파수 보상시켜 적용하고, 캐환형 직류 음색 제거 회로에 의한 계장형 증폭기 (Instrumentation Amplifier)의 CMRR을 이용한다.

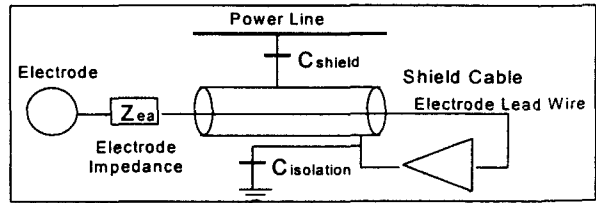


그림 2 능동실드에 의한 부유용량 감소
Fig. 2 Stray capacitance reduction by active shield

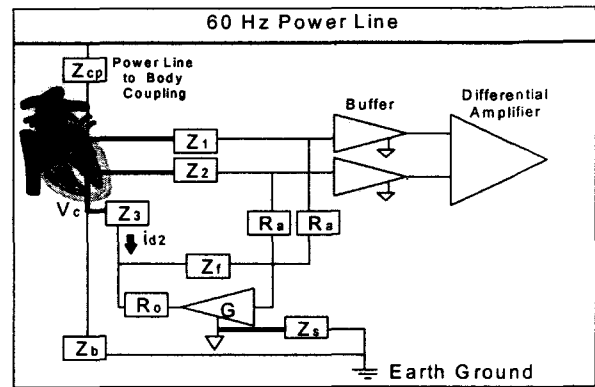


그림 3 RLD 회로
Fig. 3 Right Leg Driven circuit

전원라인과 인체와의 용량성 결합에 의한 유도전류 i_d 에 대하여 분리접지와 대지접지와 용량성 결합 Z_s 와 용량성 유도전류 i_{d2} 는 커패시턴스에 반비례한다.

$$i_{d2} = \frac{i_d Z_b}{Z_b + Z_s} \quad (5)$$

그림 3.의 RLD 회로는 입력 임피던스가 충분히 크며, 전극 임피던스 Z_1 , Z_2 가 입력임피던스에 비해 무시할 정도로 작으며, 인체 임피던스 Z_i 가 용량성 결합 임피던스 Z_b , Z_s 에 대하여 무시할 정도로 작으며, 버퍼 증폭기의 이득이 1 이면 RLD 증폭기의 이득 $G = -2 \frac{Z_i}{R_a}$ 에 대한 출력 V_o 는 다음과 같다.

$$V_o = V_c - Z_3 i_{d2} \quad (6)$$

$$V_o = -G V_c$$

만약 RLD회로를 사용하지 않고 안전저항 R_o 를 삽입한 등가 회로를 구성한다면

$$V_c = (Z_3 + R_o) i_{d2} \quad (7)$$

RLD를 적용하여 성능을 개선하기 위해서는 식(6)에 의한 V_c 가 식(7)에 의한 V_c 보다 작아야 한다.

$$\frac{Z_3}{(G+1)} \ll (Z_3 + R_o) \quad (8)$$

즉 공통유도 잡음 V_c 의 최소화는 능동증폭기의 이득 G 의

극대화를 의미한다. 따라서 능동 증폭기의 이득 G를 크게 한다면, 일반적으로 공통입력 잡음에 대한 50 - 60 dB의 향상을 갖게 된다. 그러나 제한시스템의 동작은 안정도를 판별하여야 하며, 이득의 증가는 고주파 잡음에 대하여 불안정하게 되므로 주파수 보상이 요구된다.

불안정성은 제한 시스템이 -180° 변위가 될 때의 발진이다. 즉 제한 시스템의 이득을 높게 유지하면서 발진의 방지는 주파수 보정을 필요로 한다. 주파수 보정을 위한 C값의 계산은 RLD회로의 전달함수에 대한 보드선도로부터 진폭응답 이득이 1 되는 주파수에서의 위상이 -180° 미만이 되는 값이다. RLD증폭 회로의 입력전압을 V_{c1} 라 하고 RLD 증폭 회로의 출력전압을 V_{c2} 라 하면 전달함수는 식 (9)와 같다.

$$\frac{V_{c1}}{V_{c2}} = \frac{G}{[1 + \frac{s}{2\pi f_a}][1 + sr]} \quad (9)$$

$$f_n = \frac{1}{2\pi\sqrt{\tau}}, \quad \zeta = \tau\pi f_n, \quad \tau = (R_o + Z_3) \frac{Z_b Z_s}{Z_b + Z_s}$$

$f_a = \frac{B}{G}$, B는 RLD 증폭기의 이득- 대역폭 이다. τ 에 의하여 형성된 1차 저역통과 필터의 차단주파수를 f_c , 보상 커패시턴스 C_f 로 보상된 RLD 회로의 차단주파수를 f_{ac} 라 하면 보드선도로부터 이득이 1인 주파수에서의 안정성을 확보하기 위한 위상이득 -45° 를 주기 위한 조건은 식 10과 같다 [4].

$$f_{ac} < \frac{f_L}{G} \quad (10)$$

3.1.5 IMRR(Isolation Mode Rejection Ratio)

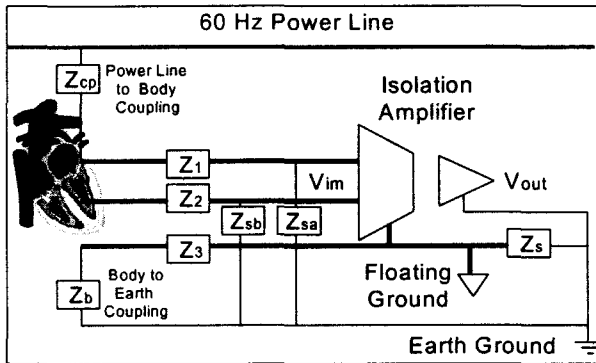


그림 4. 분리 증폭기
Fig. 4 Isolation amplifier

환자에 대한 안전도와 60 Hz 전원잡음에 대한 잡음을 줄이기 위한 분리증폭기(Isolation Amplifier)의 효율성은 IMRR로 정의된다.

$$IMRR = 20 \log \frac{V_{in}}{V_{out}} A \quad (11)$$

즉 분리증폭기 입력전압(V_{in})에 대한 출력전압값(V_{out})으로 정의되며, 여기서 A는 분리 증폭기의 이득이다. 따라서 잡음을 최소화한다는 것은 IMRR을 최대화 한다는 개념이 되며, 잡음을 줄이기 위해서는 V_{in} 을 최소화하거나 분리 증폭기의

이득 A를 극대화한다. V_{out} 을 실질적으로 줄이기 위해서는 높은 IMRR을 갖는 분리 증폭기를 사용하거나 분리 증폭기 입력단의 공통 전원 잡음 V_{in} 을 최소화하도록 설계한다.

4. 심장전기도 전처 증폭기 설계

그림 5.은 본 연구에서 설계한 양극 1채널/단극 2채널 심장 전기도 증폭 시스템의 블록선도이며 128 채널은 동일회로의 확장이다. 증폭기 A_1 은 임피던스 변환기 회로이며 $N_1, D_{1,2}, R_1$ 으로 구성된 입력회로 보호 및 안전전류 제한회로를 포함한다. 임피던스 변환회로의 출력은 능동실드 증폭기 A_2 를 능동 구동한다. 임피던스 변환기의 출력신호는 Switching Matrix회로에 의하여 단극측정모드/양극측정모드 및 신호측정모드/조정신호를 선택하며 평형 RC 저역통과 필터(소자번호 R_2C_2)를 거친다. 반전위전위에 의한 직류 오프셋을 제거하며, 동시에 높은 CMRR을 유지하기 위하여 차동증폭기의 출력신호는 적분기(A_4)를 거쳐 오프셋에 의한 직류성분을 R_3C_2 시정수로 검출하여 제한 제어함으로서 초단의 높은 이득에 의한 증폭기의 포화를 방지하며 높은 CMRR을 유지한다. 단극측정 모드는 RA(Right Arm), LA(Left Arm), RL(Right Leg)의 평균값을 기준으로 측정한다.

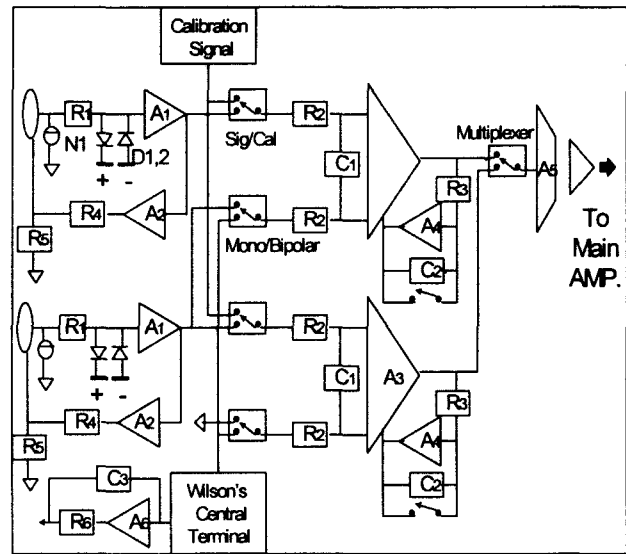


그림 5 심장 전기도 전처 증폭기의 블록도
Fig. 5 Block diagram of cardiac activation pre-amplifier

4.1 입력 회로부

N_1 은 neon glow lamp를 사용하였으며, 50 V 이상의 과전압에 대한 분리 접지로의 전류 통로를 형성 하여 일차적인 보호회로를 구성한다. 50 V미만의 잡음은 스위칭 다이오드 $D_{1,2}$ 에 의한 보호회로를 형성한다. $\pm 12 V$ 전원에 대한 보호저항 R_1 (10 K Ω)은 안전 전류를 1.2 mA로 제한한다. 또한 접지전극과 연결된 RLD회로의 보호저항 값 1 M Ω 에 대하여서는 11.9 μA 의 보호회로를 구성한다. 임피던스 변환기는 이득 1인 버퍼 증폭기로 Analog Device사의 AD713 Quad Precision BiFET Op Amp를 사용하였다. AD741에 대한 잡

음은 40 pA의 입력 바이어스 전류가 10 KΩ의 전극 임피던스에 대하여 400 μV의 잡음성 전압 영향을 주게 된다. 500 μV의 입력 오프셋 전압 값에 의한 DC 잡음에 영향을 주는 1/f 잡음은 2 μV_{D-W-P}이다. 차동입력임피던스 및 공통입력임피던스가 각각 3 X 10¹² Ω이다. 슬라이드구동기 A₂는 R₄, R₅로 구성된 분압회로로 100 Ω, 100 KΩ을 사용하여 전체 이득을 0.99로 하였다.

4.2 차동증폭부

스위칭 매트릭스 회로는 CMOS Analog Multiplexer (MC 14053)로 구성하였다. 단극/양극/조정 스위치의 채널 선택 조절은 광결합기를 이용하여 분리 제어한다. R₂, C₁에 의한 평형 저역 통과 필터의 차단 주파수는 1.5 KHz로 설정하였으며, CMRR은 110 dB를 갖는 차동증폭기 INA101 (Burr Brown Co.)는 이득 100으로 설계하였다. 10¹⁰Ω의 입력 임피던스 값을 갖으며, 15 nA의 입력 누설전류에 대하여 ON저항 150 Ω과 평형 필터의 저항 1 KΩ에 대하여 17.25 μV의 잡음 값을 갖는다.

이득 100인 차동증폭기의 이득은 전극간 서로 다른 반전위 전압값에 따른 최대 오차전압 0.44 V의 직류 오프셋 전압값을 출력단에서 포화시킨다. 이를 해결하기 위한 궤환형 직류 제거 회로는 평균 DC전압을 INA101 증폭기의 출력 전압을 적분기로 검출하여, A₄ 증폭기로 궤환 조정한다. 적분기의 R₃는 1 MΩ, C₂는 1 μF로 차단 주파수는 0.16 Hz이다. 또한 궤환시스템에 위치한 FET스위치는 Latch-up을 방지하기 위하여 궤환 커패시턴스를 방전한다.

4.3 RLD 회로부

RLD회로의 높은 이득과 주파수에 대한 보상조건을 만족하는 값으로 설계된 회로는 C₃값을 1 nF로 선택하였다. 1 nF 궤환 커패시턴스에 대한 60 Hz 잡음 주파수에서의 RLD 회로의 이득은 $G = \frac{1}{2\pi(60\text{Hz})(1\text{nF})} / \frac{(10\text{K}\Omega)}{3} \cong 800$

이며, 주파수 보상을 위한 차단 주파수는 $f_c = \frac{1}{2\pi \frac{(10\text{K}\Omega)}{3} (1\text{nF})} \cong 48\text{KHz}$ 이므로 충분한 위

상이득을 갖게 되므로 주파수 보상을 하게 된다. 또한 RLD 증폭기 A₆ 출력단에 연결된 전류제한 저항 R₆는 실제 1 MΩ을 사용하여, 증폭기 고장에 대하여 12 μA의 고장전류로 제한한다.

5. 시스템 구성 및 실험

그림 6은 증폭기의 8장의 증폭부 기판과 바닥의 제어부의 기판과의 연결, 그리고 데이터를 획득하기 위한 아날로그-디지털 변환기와 PC의 연결을 나타내는, 전체 시스템의 연결도이다. 심장의 전극으로부터 입력된 신호는 전치증폭기를 거쳐 증폭된 후 아날로그-디지털 변환되어 PC 화면에 디스플레이 된다. 그림7은 제작한 증폭기 중 16개의 채널이 들어 있는 한 장의 기판이다.

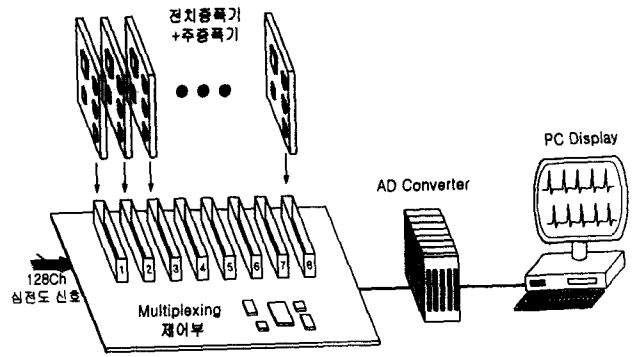


그림 6 128 채널 데이터 획득 시스템 연결도
Fig. 6 Configuration for 128 channels data acquisition

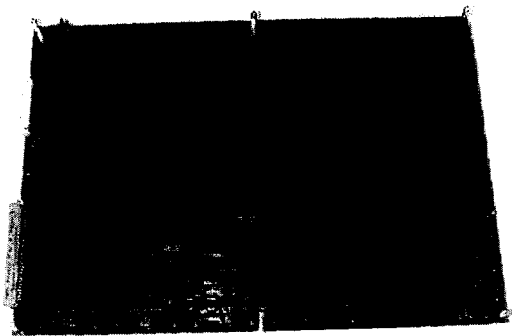


그림 7 조립된 16 채널 증폭기 기판
Fig. 7 Constructed board containing 16 channels

그림 8은 연산 증폭기의 래치업을 막고 기저선을 회복하기 위한 차동 증폭부(그림 5.)의 동작 그림이다. 입력에 과도한 오프셋이 들어갈 경우(▽표 부분), 차동 증폭기의 출력(▶표 부분)은 포화되지만, 기준점의 전압(★표 부분)이 0점을 향해 순간적으로 내려가는 것을 볼 수 있다. 이 회로는 전기수술기를 사용하는 동안과 같이, 입력 오프셋이 정도 이상으로 커서 자체의 궤환 루프를 이용해서 기저선을 회복할 수 없는 경우에, 원래의 심전도 신호를 얻을 수는 없을지라도 적어도 전기수술기 사용 후에 최단시간 내에 기저선을 회복할 수 있도록 하는 역할을 한다.

그림 9는 오른다리 구동회로의 특성 곡선이다. 이득이 1일 때(f=80.1kHz) 위상은 -146.9° 이므로 위상 여유는 33.1°이다. 그러나 안정된 동작을 위해서는 위상 여유가 45° 이상은 되어야 한다. 커패시턴스를 이용하여 보상하므로써 위상 여유를 늘릴 수 있다. 이 때, 수정된 궤환 루프의 안정성을 테스트 결과는 ★표가 있는 곡선과 같다. 이득이 1일 때(f=8.9kHz) 위상은 -70.9° 이므로 위상 여유는 110.1°이다. 두 곡선을 비교해 보면 RLD 구동 회로를 수정한 결과 이득이 1일 때의 대역폭이 줄었으므로 이득 대역폭 곱은 약 71.2 kHz가 줄었으나 위상 여유가 약 77° 늘어나 궤환 회로의 안

정성이 향상되었음을 알 수 있다.

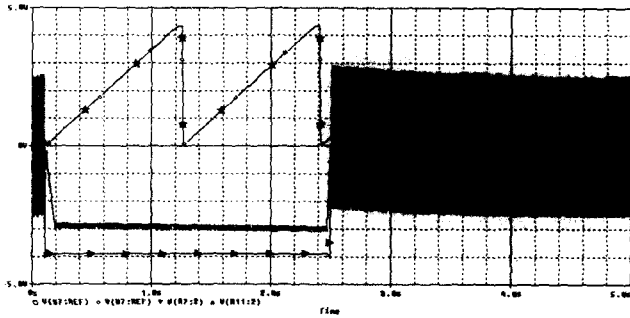


그림 8 기저선 보정 회로의 동작특성
Fig. 8 Operational characteristics of baseline compensation circuit

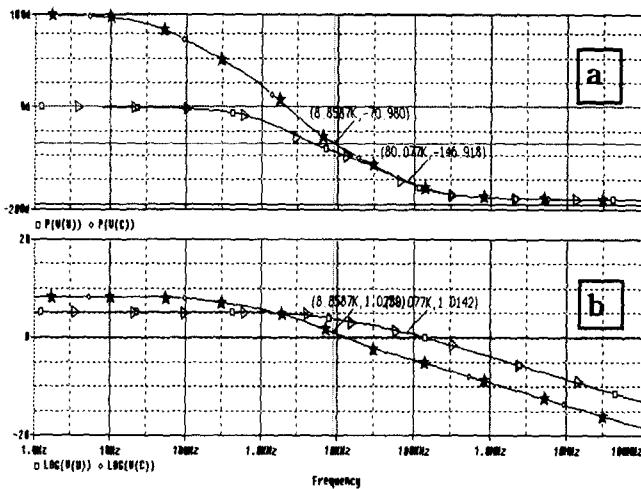


그림 9 RLD 구동회로의 주파수 응답
(a) 위상특성 (b) 진폭특성
Fig. 9 Frequency response of RLD circuit
(a) phase response (b) amplitude response

그림 10.은 설계된 증폭기의 동작을 확인하기 위하여 그림 11.과 같이 돼지 심장을 적출하여 128 채널 전극을 부착하여 획득한 128 채널 데이터중 16 채널의 데이터를 화면에 표시한 결과로서 설계된 증폭기의 정상동작을 확인할 수 있었다. 데이터는 64 Mbyte Pentium PC에 저장 하였으며, 데이터 구간은 600 msec, 12 비트 분해능으로 1 KHz로 샘플링 하여 획득하였다.

6. 결 론

신호조정 회로로서 필수적인 다중 채널 심장 전기도 전치 증폭기를 제작하기 위한 설계조건의 분석 및 전기 회로적 해석을 수행하였다. 설계된 회로는 기존의 64 채널의 공간 분해능을 향상시키기 위하여 128채널로 구성하였으며, 전치증폭기는 입력회로부, 차동증폭부, 오픈다리구동회로, 및 분리증폭

부로 구성된다. 최종 구성된 회로는 16 채널을 갖는 8개의 보드로 설계 제작되어 실험 되었다. 특징으로는 심장제세동기의 사용에 따른 과전압 증폭기 보호회로, 다중채널 계측에 따른 산호간섭과 주위잡음 제거를 위한 능동 실드 구동회로, 임상활용에 따른 단극 및 양극 측정모드의 변환 모드, 심장환자의 안전성을 고려하여 신호조정, 전원 및 신호전달의 완전 분리회로, 누설전류 제한을 위한 전류제한회로, 시스템의 CMRR 향상을 위한 폐환형 기저선 보정회로를 갖는다.

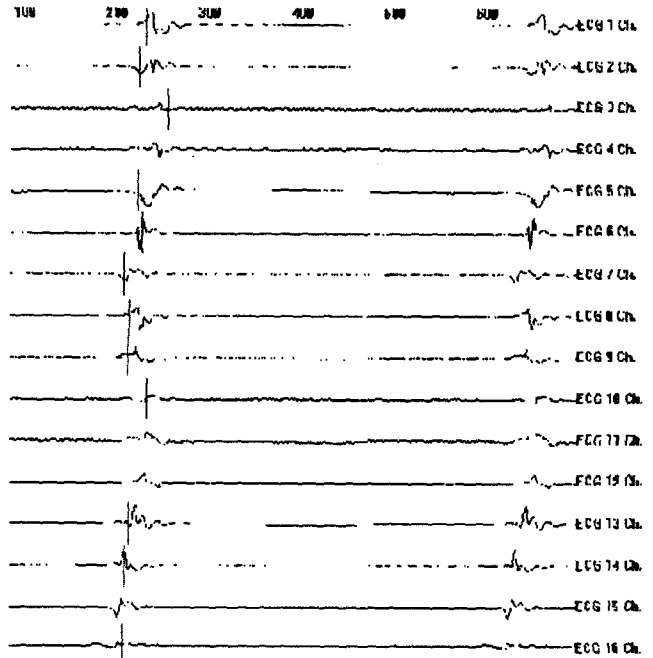


그림 10 돼지심장에 대한 16 채널 데이터 출력
Fig. 10 Sixteen channels data output for pig heart



그림 11 돼지심장에 대한 전극의 부착
Fig. 11 Attached electrodes to pig heart

감사의 글

본 연구는 보건복지부의 G7 선도개발 사업의 지원에 의하여 이루어진 연구로서, 관계부처에 감사 드립니다.

참 고 문 헌

[1] John G. Webster : Medical instrumentation, Application and Design, Houghton Mifflin Company, Boston, 1978.
 [2] Rudolf F. Graf, : Encychropedia of electronic circuits, TAB, Vol.2
 [3] M.E. Van Valkenburg : Analog filter design, Holt-Saunder International, 1982
 [4] A.C.MettingVanRijn et al., "Amplifiers for bioelectric events: a design with a minimal number of parts", Med. Biol., Eng. & Comput., pp.305-310, 1994.
 [5] A.Pepper et al. , " Recording of surface His-Purkinje potentials, Med. Biol., Eng. & Comput., pp.365-376, 1985
 [6] Bruce B. Winter and John G. Webster, " Driven right leg circuit design, " IEEE BME,-30, No.1, pp. 62-66, 1983.
 [7] M.A.Allessie et al., "Intra-atrial reentry as an mechanism for atrial flutter induced by acetylcholine and rapid pacing in the dog", Laboratory Investigation, Vol.70, No.11, pp.123-135, 1984.
 [8] B.C.Chang et al., "Computerized activation sequence mapping of the human Atrial Septum, Ann. Thorac. Surg., Vol.49, pp.231-241, 1990.
 [9] F.X.Witkowski, "An automated simultaneous tranmural cardiac mapping system", American Physiology Society
 [10] G.Bonneau et al., " An integrated system for intraoperative cardiac activation mapping," , IEEE BME-34, No.6, pp.415-423, 1987.
 [11] Robert A. Malkin, "Constructing a multichannel Electrocardiography system from a few standardized, high level components, IEEE Eng., Med. & Bio., pp.34-38, 1998.

저 자 소 개



유 선 국 (俞 善 國)

1959년 1월 8일 생. 1981년 연세대 전기공학과 졸업. 1983년 동대학원 전기공학과 졸업(석사). 1989년 동대학원 전기공학과 졸업(공학박). 1990-1995 순천향대 전기공학과 전임강사, 조교수. 1998-2000 The University

of Iowa Visiting Associate. 1995-현재 연세대학교 의공학 교실 조교수



정 동 일 (鄭 東 一)

1999년 연세대 전기공학과 졸업. 2001년 연세대학교 생체공학 협동과정 졸업(석사). 2001-현재 삼성전자 반도체 RF 개발그룹 연구원



장 병 철 (張 炳 喆)

1953년 4월 7일 생. 1977년 연세대 의예과 졸업. 1982년 흉부외과 전문의. 1981년 동대학원 의학과 졸업(석사). 1991년 동대학원 의학과 졸업(공학박). 1987-1988 미국흉부외과 에바트 에이 그래함 펠로우.

1988-1989 와싱턴 의과대학 연구원. 1987-현재 연세대 의과대학 흉부외과학교실 조교부, 부교수, 교수.

한 영 오 (韓 榮 喆)

1987년 연세대 전기공학과 졸업. 1989년 동대학원 전기공학과 졸업(석사). 1995년 동대학원 전기공학과 졸업(공학박). 1996-1999 남서울대 전자공학과 전임강사. 1999-현재 남서울대 전자정보통신 공학부 조교수